

**TRIAL MANUFACTURE SUPPORTING DEVICE, SUBSTRATE FOR IC MOUNTING, AND BUS DEVICE**

Publication number: JP6221164 (A)

Publication date: 1996-08-30

Inventor(s): ARITA SATORU, MITSUGI SHIGERU

Applicant(s): KUMAMOTO TECHNOPOLIS FOUND; ARITETSUKU KK

Classification:

- International: G01R31/28; G06F3/00; G06F11/22; H01R12/16; H05K1/14; H05K1/14; G01R31/28; G06F3/00; G06F11/22; H01R12/00; H05K1/14; H05K1/14; (IPC1-7): H01R23/68; H05K1/14; G06F3/00; G01R31/28; G06F11/22

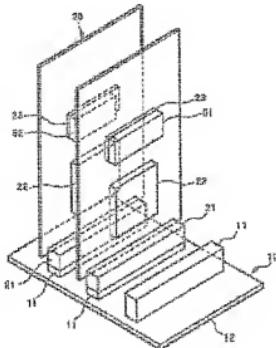
- European:

Application number: JP19950040194 19950214

Priority number(s): JP19950040194 19950214

## Abstract of JP 8221164 (A)

PURPOSE: To manufacture a device which is easily connected and high in reliability and uses a digital IC by way of trial in a short time at low cost and also manufacture a device to which plural ICs are connected by a bus. CONSTITUTION: The trial manufacture supporting device is equipped with the bus device 10 and the substrate 20 for IC mounting which is connected to the bus device 10. The bus device 10 is equipped with plural connectors 11 and a sub-substrate 12 having bus wires for connecting the connectors 11 mutually to a bus. The substrate 20 for IC mounting has a connector 21 for connecting with the connector 11 of the bus device 10, an IC socket 23 where an IC is inserted, and FPGA 22 which is connected to the connector 23 and connector 21. An optional IC is inserted into the IC socket 23 of the substrate 20 for IC mounting, which is inserted into the bus device 10, and the FPGA 22 is programmed to manufacture the device using the IC by way of trial.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-221164

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. <sup>a</sup>	戴別記号	序内整理番号	P I	技術表示箇所
G 0 6 F 3/00			G 0 6 F 3/00	T
G 0 1 R 31/28			11/22	3 3 0 B
G 0 6 F 11/22	3 3 0	6901-5B	H 0 1 R 23/68	3 0 3 H
// H 0 1 R 23/68	3 0 3		H 0 6 K 1/14	D
H 0 5 K 1/14			G 0 1 R 31/28	T
			審査請求 未請求 請求項の数24 FD (全 27 頁)	

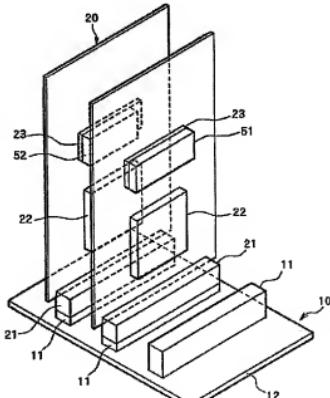
(21)出願番号	特願平7-49194	(71)出願人	591023158 財団法人熊本テクノポリス財団 熊本県上益城郡益城町大学田原2081番地10
(22)出願日	平成7年(1995)2月14日	(71)出願人	593007741 株式会社アリテック 熊本市川口町551番地
		(72)発明者	有田 優 熊本県熊本市川口町551番地 株式会社アリテック内
		(72)発明者	身次 茂 熊本県上益城郡益城町大学田原2081番地10 財団法人 熊本テクノポリス財団 電子 応用機械技術研究所内
		(74)代理人	弁理士 藤島 洋一郎

## (54)【発明の名稱】 試作支援装置、IC搭載用基板およびバス装置

## (57)【要約】

【目的】 短い時間で安価に、且つ修正が容易で、信頼性が高く、ディジタルICを用いた装置を試作できるようにし、複数のICをバスで接続する装置の試作も可能にする。

【構成】 試作支援装置は、バス装置10と、バス装置10に接続されるIC搭載用基板20とを備えている。バス装置10は、複数のコネクタ11と、コネクタ11を互いにバス接続するバス配線を有するバス基板12とを備えている。IC搭載用基板20は、バス装置10のコネクタ11と結合するためのコネクタ21と、ICを捕さためのICソケット23と、ICソケット23とコネクタ21に接続されたFPGA22とを備えている。任意のICをIC搭載用基板20のICソケット23に挿し、IC搭載用基板20をバス装置10に挿し、FPGA22をプログラムすることにより、ICを用いた装置を試作することができる。



## 【特許請求の範囲】

【請求項1】 互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるI C搭載用基板とを備え、前記I C搭載用基板は、バス接続用コネクタと結合するためのバス接続用コネクタと、I Cを押すためのI Cソケットと、一部の入出力端子がI Cソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルI Cとを有することを特徴とする試作支援装置。

【請求項2】 前記I C搭載用基板は、I Cソケットに勝り合うように配置され、I Cソケットの端子に接続された端子を含む地ソケットと、電源に接続された電源ソケットと、接地された接地ソケットとを更に有することを特徴とする請求項1記載の試作支援装置。

【請求項3】 前記I C搭載用基板は、I Cソケットに勝り合うように配置され、I Cソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、この第2の補助ソケットに勝り合うように配置され、I Cソケットの端子に接続された端子を含む第3の補助ソケットとを更に有することを特徴とする請求項1記載の試作支援装置。

【請求項4】 前記I C搭載用基板は、I Cソケットに並列に接続され、I Cソケットと異なる形状の第2のI Cソケットを更に有することを特徴とする請求項1ないし3のいずれか1に記載の試作支援装置。

【請求項5】 互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるI C搭載用基板とを備え、前記I C搭載用基板は、バス接続用コネクタと結合するためのバス接続用コネクタと、I Cを押すための第1のI Cソケットと、一部の入出力端子が第1のI Cソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルI Cと、第1のI Cソケットに勝り合うように配置され、第1のI Cソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、この第2の補助ソケットに勝り合うように配置され、第1のI Cソケットの端子に接続された端子を含む第3の補助ソケットと、I Cを押すための第2のI Cソケットと、この第2のI Cソケットに勝り合うように配置され、第2のI Cソケットの端子に接続された端子を含む第4の補助ソケットとを備えた試作支援装置。

とを有することを特徴とする試作支援装置。

【請求項6】 前記I C搭載用基板は、第1のI Cソケットに並列に接続され、第1のI Cソケットと異なる形状の第3のI Cソケットを更に有することを特徴とする請求項5記載の試作支援装置。

【請求項7】 前記I C搭載用基板は、第2の補助ソケットに勝り合うように配置され、接地された第2の接地ソケットを更に有することを特徴とする請求項3ないし6のいずれか1に記載の試作支援装置。

【請求項8】 前記プログラマブルI Cは複数設けられ、これら複数のプログラマブルI Cはバス装置接続用コネクタやI Cソケットへの接続を分担し、バス装置接続用コネクタやI Cソケットに接続していない互いの入出力端子同士が接続されていることを特徴とする請求項1ないし7のいずれか1に記載の試作支援装置。

【請求項9】 前記プログラマブルI Cは、フィールド・プログラマブル・ゲート・アレイであることを特徴とする請求項1ないし8のいずれか1に記載の試作支援装置。

【請求項10】 前記プログラマブルI Cは、プログラマブル・ロジック・デバイスであることを特徴とする請求項1ないし8のいずれか1に記載の試作支援装置。

【請求項11】 前記バス装置の複数のバス接続用コネクタのうち、少なくとも一つのバス接続用コネクタは、その接続方向が他のバス接続用コネクタの接続方向に対して直角方向になるように配置されていることを特徴とする請求項1ないし10のいずれか1に記載の試作支援装置。

【請求項12】 前記バス装置は、各バス接続用コネクタの接続方向に合わせたI C搭載用基板案内用のガイドレールを更に有することを特徴とする請求項1記載の試作支援装置。

【請求項13】 互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるI C搭載用基板とを備えた試作支援装置に用いられ、

バス接続用コネクタと結合するためのバス装置接続用コネクタと、

I Cを押すためのI Cソケットと、一部の入出力端子がI Cソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルI Cとを備えたことを特徴とするI C搭載用基板。

【請求項14】 I Cソケットに勝り合うように配置され、I Cソケットの端子に接続された端子を含む補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットとを更に備えたことを特徴とする請求項13記載のI C搭載用基板。

【請求項15】 I Cソケットに勝り合うように配置さ

れ、I Cソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、この第2の補助ソケットに隣り合うように配置され、I Cソケットの端子に接続された端子を含む第3の補助ソケットとを更に備えたことを特徴とする請求項13記載のI C搭載用基板。

【請求項16】 I Cソケットに並列に接続され、I Cソケットと異なる形状の第2のI Cソケットを更に備えたことを特徴とする請求項13ないし15のいずれか1に記載のI C搭載用基板。

【請求項17】 互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるI C搭載用基板とを備えた試作支援装置に用いられ、

バス接続用コネクタと結合するためのバス装置接続用コネクタと、  
I Cを押すための第1のI Cソケットと、

一部の入出力端子が第1のI Cソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルI Cと、  
第1のI Cソケットに隣り合うように配置され、第1のI Cソケットの端子に接続された端子を含む第1の補助ソケットと、  
電源に接続された電源ソケットと、  
接地された接地ソケットと、

他の装置との接続のための装置接続用コネクタと、  
この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、  
この第2の補助ソケットに隣り合うように配置され、第1のI Cソケットの端子に接続された端子を含む第3の補助ソケットと、  
I Cを押すための第2のI Cソケットと、

この第2のI Cソケットに隣り合うように配置され、第2のI Cソケットの端子に接続された端子を含む第4の補助ソケットとを備えたことを特徴とするI C搭載用基板。

【請求項18】 第1のI Cソケットに並列に接続され、第1のI Cソケットと異なる形状の第3のI Cソケットを更に備えたことを特徴とする請求項17記載のI C搭載用基板。

【請求項19】 第2の補助ソケットに隣り合うように配置され、接地された第2の接地ソケットを更に備えたことを特徴とする請求項15ないし18のいずれか1に記載のI C搭載用基板。

【請求項20】 前記プログラマブルI Cは複数設けられ、これら複数のプログラマブルI Cはバス装置接続用

コネクタやI Cソケットへの接続を分担し、バス装置接続用コネクタやI Cソケットに接続していない互いの入出力端子が接続されていることを特徴とする請求項13ないし19のいずれか1に記載のI C搭載用基板。

【請求項21】 前記プログラマブルI Cは、フィルド・プログラマブル・ゲート・アレイであることを特徴とする請求項13ないし20のいずれか1に記載のI C搭載用基板。

【請求項22】 前記プログラマブルI Cは、プログラマブル・ロジック・デバイスであることを特徴とする請求項13ないし20のいずれか1に記載のI C搭載用基板。

【請求項23】 コネクタ、I Cを押すためのI Cソケット、および、一部の入出力端子がI Cソケットの全ての端子にそれぞれ接続され、他の入出力端子がコネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルI Cを有するI C搭載用基板と、複数のI C搭載用基板のコネクタ同士をバス接続するためのバス装置とを備えた試作支援装置に用いられ、  
互いにバス接続され、それぞれI C搭載用基板のコネクタと結合するための複数のバス接続用コネクタを備え、この複数のバス接続用コネクタのうち、少なくとも一つのバス接続用コネクタは、その接続方向が他のバス接続用コネクタの接続方向に対して直角方向になるように配置されていることを特徴とするバス装置。

【請求項24】 各バス接続用コネクタの接続方向に合わせたI C搭載用基板案内用のガイドルールを更に備えたことを特徴とする請求項23記載のバス装置。  
【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータに代表されるディジタルI C(集積回路)を用いた装置を試作するのに適した試作支援装置と、これを構成するI C搭載用基板およびバス装置に関する。

#### 【0002】

【従来の技術】 従来、ディジタル回路やマイクロコンピュータ応用回路のようなディジタルI Cを用いた装置を開発する場合、回路設計の後、手配線やラッピング接続によって試作を行っていた。そして、試作で設計の検証を行った後、プリント基板を作成し、量産を行うようしている。その他の試作方法としては、プリント基板をいきなり作ってしまう方法や、ジャンパ線接続方式のブレッドボードを用いて試作する方法がある。

#### 【0003】

【発明が解決しようとする課題】 しかしながら、手配線やラッピング接続は時間がかかり、誤配線の可能性もある。また、設計ミスや誤配線の場合の修正も大変である。プリント基板をいきなり作ってしまう方法は高価であり、プリント基板設計・製作業者へ製作を依頼した場合、納品までに1ヶ月程度を要することが多い。また、

設計ミスの修正の場合、多層プリント基板の内層の配線を修正することは難しい。

【0004】プレッドボードは、多数の穴の開いた基板にICを押し、IC間にジャンパ線でつなぐことにより、回路の試作を行う装置である。穴は接点になっていて、ICのピンやジャンパ線のピンを押すことにより、電気的な接続を得る。しかし、これは機械的な弱い接触であり、ジャンパ線に触れてピンが動いた場合等に、電気的な接続が不安定になり、回路にノイズが乗ることもある。また、ジャンパ線のピンが簡単に穴から抜けてしまう。結局、プレッドボードによる方法は信頼性の面で問題がある。

【0005】これに対処するに、例えば特開平1-2202026号公報には、複数のプログラマブルロジックICを搭載した第1のボードと汎用ICによるデジタル回路を搭載した第2のボードとを組み合わせて所望の機能を実現できるようにした技術が示されている。また、特開平3-1869116号公報には、プログラマブルロジックデバイスを用いて、マイクロコンピュータと汎用書き込み装置等との接続関係を任意に設定可能にした技術が示されている。また、特開平5-88801号公報には、プログラマブルデバイスを用いて、マザーボードとサブボードとの接続関係を任意に設定可能にした技術が示されている。

【0006】しかしながら、例えばマイクロコンピュータ用回路を試作する場合には、CPU(中央処理装置)、ROM(リード・オンリ・メモリ)、RAM(ランダム・アクセス・メモリ)、入出力インターフェース等を互いにバスで接続する必要がある。上記各公報に示される技術では、このような複数のICをバスで接続する装置を試作することができないという問題点がある。

【0007】本発明はかかる問題点に鑑みてなされたもので、その目的は、短い時間で安価に、デジタルICを用いた装置を試作でき、修正が容易で、信頼性が高く、しかも複数のICをバスで接続する装置の試作も可能な試作支援装置、IC搭載用基板およびバス装置を提供することにある。

【0008】  
【課題を解決するための手段】請求項1記載の試作支援装置は、互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるIC搭載用基板とを備え、IC搭載用基板が、バス接続用コネクタと結合するためのバス装置接続用コネクタと、ICを押すためのICソケットと、一部の入出力端子がICソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICとを有するものである。

【0009】この試作支援装置では、IC搭載用基板のICソケットに任意のICを押し、IC搭載用基板をバ

ス装置に接続し、プログラマブルICの結線と論理をプログラムすることによってICを用いた任意の装置を試作することが可能になる。

【0010】請求項2記載の試作支援装置は、請求項1記載の試作支援装置において、IC搭載用基板が、ICソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットとを更に有するものである。

10 【0011】この試作支援装置では、補助ソケットと、電源ソケットおよび接地ソケットとを接続することによって、ICソケットに押したICに電源を与えることが可能になる。

【0012】請求項3記載の試作支援装置は、請求項1記載の試作支援装置において、IC搭載用基板が、ICソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、この第2の補助ソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む第3の補助ソケットとを更に有するものである。

20 【0013】この試作支援装置では、装置接続用コネクタに他の装置を接続し、第2の補助ソケットと第3の補助ソケットとを接続することにより、ICソケットに押したICと他の装置との接続が可能になる。

【0014】請求項4記載の試作支援装置は、請求項1ないし3のいずれか1に記載の試作支援装置において、IC搭載用基板が、ICソケットに並列に接続され、ICソケットと異なる形態の第2のICソケットを更に有するものである。

30 【0015】この試作支援装置では、ICソケットと第2のICソケットとによって、複数の形態のICに対応可能になる。

【0016】請求項5記載の試作支援装置は、互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるIC搭載用基板とを備え、IC搭載用基板が、バス接続用コネクタと結合するためのバス装置接続用コネクタと、ICを押すための第1のICソケットと、一部の入出力端子が第1のICソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICと、第1のICソケットに隣り合うように配置され、第1のICソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続され

た端子を含む第2の補助ソケットと、この第2の補助ソケットに隣り合うように配置され、第1のICソケットの端子に接続された端子を含む第3の補助ソケットと、ICを押すための第2のICソケットと、この第2のICソケットに隣り合うように配置され、第2のICソケットの端子に接続された端子を含む第4の補助ソケットとを有するものである。

【0017】この試作支援装置では、IC搭載用基板の第1のICソケットに任意のICを押し、第2のICソケットに他のICを押し、IC搭載用基板をバス装置に接続し、プログラマブルICの結線と論理をプログラムすることによって複数のICを用いた任意の装置を試作することが可能になる。また、第1の補助ソケットおよび第4の補助ソケットと、電源ソケットおよび接地ソケットとを接続することによって、第1のICソケットに押したICと第2のICソケットに押したICとに電源を与えることが可能になる。また、装置接続用コネクタに他の装置を接続し、第3の補助ソケットあるいは第4の補助ソケットと第2の補助ソケットとを接続することにより、第1のICソケットに押したICあるいは第2のICソケットに押したICと他の装置との接続が可能になる。

【0018】請求項6記載の試作支援装置は、請求項5記載の試作支援装置において、IC搭載用基板が、第1のICソケットに並列に接続され、第1のICソケットと異なる形状の第3のICソケットを更に有するものである。

【0019】この試作支援装置では、第1のICソケットと第3のICソケットとによって、複数の形状のICに対応可能になる。

【0020】請求項7記載の試作支援装置は、請求項3ないし6のいずれか1に記載の試作支援装置において、IC搭載用基板が、第2の補助ソケットに隣り合うよう配置され、接地された第2の接地ソケットを更に有するものである。

【0021】この試作支援装置では、第2の補助ソケットと第2の接地ソケットとを接続することによって、ノイズ対策のための接地が可能になる。

【0022】請求項8記載の試作支援装置は、請求項3ないし7のいずれか1に記載の試作支援装置において、プログラマブルICが複数設けられ、これら複数のプログラマブルICはバス装置接続用コネクタやICソケットへの接続を分担し、バス装置接続用コネクタやICソケットに接続していない互いの入出力端子同士が接続されているものである。

【0023】この試作支援装置では、1つのプログラマブルICの入出力端子の数がバス装置接続用コネクタやICソケットの端子に比べて少ない場合に、複数のプログラマブルICで、バス装置接続用コネクタやICソケットへの接続を分担することが可能になる。

【0024】請求項9記載の試作支援装置は、請求項1ないし8のいずれか1に記載の試作支援装置において、プログラマブルICを、フィールド・プログラマブル・ゲート・アレイとしたものである。

【0025】請求項10記載の試作支援装置は、請求項1ないし10のいずれか1に記載の試作支援装置において、バス装置の複数のバス接続用コネクタのうち、少なくとも一つのバス接続用コネクタが、その接続方向が他のバス接続用コネクタの接続方向に対して直角方向になるように配置されているものである。

【0026】請求項11記載の試作支援装置は、請求項1ないし10のいずれか1に記載の試作支援装置において、バス装置の複数のバス接続用コネクタのうち、少なくとも一つのバス接続用コネクタが、その接続方向が他のバス接続用コネクタの接続方向に対して直角方向になるように配置されているものである。

【0027】この試作支援装置では、バス装置の複数のバス接続用コネクタに接続する複数のIC搭載用基板のうちの少なくとも一つを他のIC搭載用基板に対して直角方向に配置することが可能になり、デバッグや調整が容易になる。

【0028】請求項12記載の試作支援装置は、請求項11記載の試作支援装置において、バス装置が、各バス接続用コネクタの接続方向に合わせたIC搭載用基板案内用のガイドフレームを更に有するものである。

【0029】この試作支援装置では、IC搭載用基板をガイドフレームに沿って案内して、バス装置のバス接続用コネクタに接続することができ、バス装置に対するIC搭載用基板の接続が容易になる。

【0030】請求項13記載のIC搭載用基板は、互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるIC搭載用基板とを備えた試作支援装置を用いられ、バス接続用コネクタと結合するためのバス装置接続用コネクタと、ICを押すためのICソケットと、一部の入出力端子がICソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICとを備えたものである。

【0031】このIC搭載用基板では、ICソケットに任意のICを押し、IC搭載用基板をバス装置に接続し、プログラマブルICの結線と論理をプログラムすることによってICを用いた任意の装置を試作することが可能になる。

【0032】請求項14記載のIC搭載用基板は、請求項13記載のIC搭載用基板において、ICソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットとを更に備えたものである。

【0033】このIC搭載用基板では、補助ソケットと電源ソケットおよび接地ソケットとを接続することによ

って、ICソケットに挿したICに電源を与えることが可能になる。

【0034】請求項1記載のIC搭載用基板は、請求項13記載のIC搭載用基板において、ICソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、この第2の補助ソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む第3の補助ソケットとを更に備えたものである。

【0035】このIC搭載用基板では、装置接続用コネクタに他の装置を接続し、第2の補助ソケットと第3の補助ソケットとを接続することにより、ICソケットに挿したICと他の装置との接続が可能になる。

【0036】請求項16記載のIC搭載用基板は、請求項13ないし15のいずれか1に記載のIC搭載用基板において、ICソケットに並列に接続され、ICソケットと異なる形状の第2のICソケットを更に備えたものである。

【0037】このIC搭載用基板では、ICソケットと第2のICソケットとによって、複数の形状のICに対応可能になる。

【0038】請求項1記載のIC搭載用基板は、互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるIC搭載用基板とを備えた試作支援装置に用いられ、バス接続用コネクタと結合するためのバス装置接続用コネクタと、ICを挿すための第1のICソケットと、一部の入出力端子が第1のICソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICと、第1のICソケットに隣り合うように配置され、第1のICソケットの端子に接続された端子を含む第1の補助ソケットと、電源に接続された電源ソケットと、接地された接地ソケットと、他の装置との接続のための装置接続用コネクタと、この装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、この第2の補助ソケットに隣り合うように配置され、第1のICソケットの端子に接続された端子を含む第3の補助ソケットと、ICを挿すための第2のICソケットと、この第2のICソケットに隣り合うように配置され、第2のICソケットの端子に接続された端子を含む第4の補助ソケットとを備えたものである。

【0039】このIC搭載用基板では、第1のICソケットに任意のICを挿し、第2のICソケットに他のICを挿し、IC搭載用基板をバス装置に接続し、プログラマブルICの結線と論理をプログラムすることによって複数のICを用いた任意の装置を試作することが可能

になる。また、第1の補助ソケットおよび第4の補助ソケットと電源ソケットおよび接地ソケットとを接続することによって、第1のICソケットに挿したICと第2のICソケットに挿したICとに電源を与えることが可能になる。また、装置接続用コネクタに他の装置を接続し、第3の補助ソケットあるいは第4の補助ソケットと第2の補助ソケットとを接続することにより、第1のICソケットに挿したICあるいは第2のICソケットに挿したICと他の装置との接続が可能になる。

10 【0040】請求項18記載のIC搭載用基板は、請求項17記載のIC搭載用基板において、第1のICソケットに並列に接続され、第1のICソケットと異なる形状の第3のICソケットを更に備えたものである。

【0041】このIC搭載用基板では、第1のICソケットと第3のICソケットとによって、複数の形状のICにに対応可能になる。

【0042】請求項19記載のIC搭載用基板は、請求項15ないし18のいずれか1に記載のIC搭載用基板において、第2の補助ソケットに隣り合うように配置され、接地された第2の接地ソケットを更に備えたものである。

【0043】このIC搭載用基板では、第2の補助ソケットと第2の接地ソケットとを接続することによって、ノイズ対策のための接地が可能になる。

【0044】請求項20記載のIC搭載用基板は、請求項13ないし19のいずれか1に記載のIC搭載用基板において、プログラマブルICが複数設けられ、これら複数のプログラマブルICはバス装置接続用コネクタやICソケットへの接続を分担し、バス装置接続用コネクタやICソケットに接続していない互いの入出力端子が接続されているものである。

【0045】このIC搭載用基板では、1つのプログラマブルICの入出力端子の数がバス装置接続用コネクタやICソケットの端子に比べて少ない場合に、複数のプログラマブルICで、バス装置接続用コネクタやICソケットへの接続を分担することが可能になる。

【0046】請求項21記載のIC搭載用基板は、請求項13ないし20のいずれか1に記載のIC搭載用基板において、プログラマブルICを、フィールド・プログラマブル・ゲート・アレイとしたものである。

【0047】請求項22記載のIC搭載用基板は、請求項13ないし20のいずれか1に記載のIC搭載用基板において、プログラマブルICを、プログラマブル・ロジック・デバイスとしたものである。

【0048】請求項23記載のバス装置は、コネクタ、ICを挿すためのICソケット、および、一部の入出力端子がICソケットの全ての端子にそれぞれ接続され、他の入出力端子がコネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICを有するIC搭載用基板と、複数のIC搭載用基板のコネクタ同士

をバス接続するためのバス装置とを備えた試作支援装置に用いられ、互いにバス接続され、それぞれIC搭載用基板のコネクタと結合するための複数のバス接続用コネクタを備え、この複数のバス接続用コネクタのうち、少なくとも一つのバス接続用コネクタは、その接続方向が他のバス接続用コネクタの接続方向に対して直角方向になるように配置されているものである。

【0049】このバス装置では、バス装置の複数のバス接続用コネクタに接続する複数のIC搭載用基板のうちの少なくとも一つを他のIC搭載用基板に対して直角方向に配置することが可能になり、デバッグや調整が容易になる。

【0050】請求項24記載のバス装置は、請求項23記載のバス装置において、各バス接続用コネクタの接続方向に合わせたIC搭載用基板案内用のガイドルールを更に備えたものである。

【0051】このバス装置では、IC搭載用基板をガイドルールに沿って案内して、バス装置のバス接続用コネクタに接続することができ、バス装置に対するIC搭載用基板の接続が容易になる。

#### 【0052】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0053】図1は本発明の第1の実施例に係る試作支援装置の外観を示す斜視図、図2は図1におけるIC搭載用基板の平面図。図3は図1に示した試作支援装置のブロック図である。これらの図に示すように、本実施例の試作支援装置は、バス装置10と、このバス装置10に接続されるIC搭載用基板20とを備えている。バス装置10は、複数、例えば3つのコネクタ11と、これらのコネクタ11を互いにバス接続するバス配線BUS1～BUSmを有するバス基板12とを備えている。IC搭載用基板20は、バス装置10のコネクタ11と結合するためのコネクタ21と、ユーザが任意のディジタルICを押すためのICソケット23と、一部の入出力端子がICソケット23の全ての端子にそれぞれ接続され、他の入出力端子がコネクタ21の端子に接続されたFPGA(フィールド・プログラマブル・ゲート・アレイ:Field Programmable Gate Array)22とを備えている。FPGA22は、内部の結線と論理がユーザの手元で自由にプログラム可能なプログラマブルICである。

【0054】図2に示したように、IC搭載用基板20のコネクタ21はIC搭載用基板20の長手方向の端部に設けられ、バス装置10のコネクタ11とIC搭載用基板20のコネクタ21の接続方向はバス基板12に対して直角方向であり、IC搭載用基板20をバス装置10に接続した状態では、図1に示したように、IC搭載用基板20は垂直になる。

【0055】図4は図1におけるバス装置10の回路図

である。バス装置10の複数のコネクタ11は、m本のバス配線BUS1～BUSmによって互いにバス接続されている。

【0056】図5は図1におけるIC搭載用基板20の回路図である。IC搭載用基板20のコネクタ21のm本のピンは、FPGA22の入出力端子I0a1～I0amと配線で結ばれている。ICソケット23のn本のピンは、FPGA22の入出力端子I0b1～I0bnと配線で結ばれている。ここで、ICソケット23の全てのピンがFPGA22の入出力端子と結ばれている。これは、ICソケット23に挿す任意のICがどのようないCでもあっても対応できるようにするためである。ICのどのピンにどういった信号を割り振るかは、ICによってまちまちである。

【0057】図6は図1におけるFPGA22の構造の一例を示すブロック図である。この図に示す例では、FPGA22は、規則正しく配列された多数の論理ブロック(A～I)31と、隣接する論理ブロック31間に設けられたクロスポイントスイッチ32と、四方のクロスポイントスイッチ32の任意の端子間を接続するスイッチマトリックス33とを備えている。クロスポイントスイッチ32は、四方の入出力端子321間の接続関係を任意に設定することができるようになっている。図6では、論理ブロックAの端子OUT2と論理ブロックEの端子a2とを、クロスポイントスイッチ32とスイッチマトリックス33を介して接続している例を示している。

【0058】図7は図6における論理ブロック31の構成の一例を示すブロック図である。この図に示す例では、論理ブロック31は、ルックアップテーブル311とセレクタ312とフリップフロップ313とスリーステートバッファ314、315とを備えている。ルックアップテーブル311の3つの入力端子は論理ブロック31の入力端子a1～a3に接続され、ルックアップテーブル311の出力端子はスリーステートバッファ314の入力端子に接続されていると共に、セレクタ312の一方の入力端子に接続されている。セレクタ312の他方の入力端子は論理ブロック31の入力端子bに接続されている。セレクタ312の切り換えのための制御入力端子は論理ブロック31の入力端子cに接続されている。セレクタ312の出力端子はフリップフロップ313の入力端子Dに接続され、フリップフロップ313の出力端子はスリーステートバッファ315の入力端子に接続されている。フリップフロップ313のクロック入力端子は論理ブロック31のクロック入力端子CLKに接続されている。スリーステートバッファ314、315の各出力制御入力端子はそれぞれ論理ブロック31の入力端子OE1、OE2に接続されている。スリーステートバッファ314、315の各出力端子はそれぞれ論理ブロック31の出力端子OUT1、OUT2に接続さ

れている。ルックアップテーブル311は、3つの入力の組合せに対して出力を任意に定義することができる。ルックアップテーブル311の内容やセレクタ312の切り換えのための情報は、論理ブロック31内に配置されている図示しないピューズやROMあるいはSRAM(スタティックRAM)によって保持されるようになっている。そして、外部からこの内容を設定することにより、論理ブロック31の機能をプログラムすることができます。【0059】図8は図6におけるクロスポイントスイッチ32の構成の一例を示すブロック図である。この図に示す例では、クロスポイントスイッチ32は、端子a1～a13と端子c11～c13を結ぶ配線と、端子b11～b13と端子d11～d13を結ぶ配線と、各配線の交差する点で接続され、交差する配線を接続可能なスイッチS1～S9と、各スイッチS1～S9の制御端子に接続され、各スイッチS1～S9のオン、オフの情報を記憶した記憶素子(ピューズやROMあるいはSRAM)M1～M9とを備えている。このクロスポイントスイッチ32では、例えば、スイッチS7を閉じることによって端子a13、c13と端子b11、d11が結ばれる。そして、外部からスイッチS1～S9のオン、オフを、記憶素子M1～M9に設定することにより、複数の論理ブロック31間の端子の接続関係をプログラムすることができるようになっている。

【0060】図9は図6におけるスイッチマトリックス33の構成の一例を示すブロック図である。この図に示す例では、スイッチマトリックス33は、各端子a21～a23、b21～b23、c21～c23、d21～d23毎に、自身と他の全ての端子とをスイッチ331を介して結んだものである。なお、図9では、端子b21からの接続のみを示し、他を省略している。各スイッチ331のオン、オフは、スイッチマトリックス33内に設けられた図示しない記憶素子(ピューズやROMあるいはSRAM)によって設定されるようになっており、外部から各スイッチ331のオン、オフを、記憶素子に設定することにより、複数の論理ブロック31間の端子の接続関係をプログラムすることができるようになっている。

【0061】図10は図5に示したFPGA22の結線と論理のプログラムの一例を示す説明図である。FPGA22は、入出力端子I0a1～I0am、I0b1～I0bn間に自由に結線することができ、また、結線の間に論理回路を入れることもできる。図10に示す例では、入出力端子I0a2からI0b3へ「パフア4」を介して接続し、入出力端子I0bjからI0ajへ「パフア4」を介して接続し、アンドゲート43によって入出力端子I0ajとI0aj+2の論理積をとって入出力端子I0bj+1へ出力している。このような結線と論理の指示は、電源投入時に外部からFPGA22のプログラ

ラム端子に結線および論理データを入れることにより行われる。結線および論理データは、例えば、パソコンコンピュータ上のスクリーンエディタを使ってソースプログラムを作り、このソースプログラムをFPGA専用のコンパイラにかけることにより作成することができる。従って、ソースプログラムを変更することにより、FPGA22の結線および論理を変更することができる。

【0062】次に、マイクロコンピュータを試作する場合を例にとり、本実施例の試作支援装置の作用について説明する。

【0063】図11は本実施例の試作支援装置を用いて試作するマイクロコンピュータの構成を示す回路図である。このマイクロコンピュータは、CPU51としてZ80(米国ザイログ社の商標)と、PROM(プログラムROM)52としての27256と、負論理のアンドゲート53としてのSN74LS32によって構成されている。なお、クロック回路、リセット回路等の周辺回路は省略している。CPU51のピンD0～D7はPROM52のピンD～D7に接続され、CPU51のピンA0～A14はPROM52のピンA0～A14に接続され、CPU51のピンA15はPROM52のピンC'E'(“'”は負論理であることを表す。)に接続されている。CPU51のピンMR EQ' とピンRD'は負論理のアンドゲート53の各入力端子に接続され、負論理のアンドゲート53の出力端子(信号名MEM\_R'D')はPROM52のピンOE'に接続されている。図11において、CPU51とPROM52の各ピンの外側に記してある数字は、IC搭載用基板20に接続する場合のICソケット23のピン番号を表している。

【0064】以下、本実施例の試作支援装置を用いて図11に示したマイクロコンピュータを試作する場合の組み立て、バス配線BUS1～BUSmへの信号の割り当て、FPGA22のプログラム、マイクロコンピュータの動作について順に説明する。

【0065】(1)組み立て  
1枚のIC搭載用基板20のICソケット23には、CPU51としてのZ80を押す。他のIC搭載用基板20のICソケット23には、PROM52としての27256を押す。PROM52としての27256には、適宜の方法で、CPU51としてのZ80で実行するプログラムが書き込まれているものとする。この2枚のIC搭載用基板20の各コネクタ21を、バス装置10の2つのコネクタ11に挿し、それぞれコネクタ21とコネクタ11を結合させる。この結合により、バス装置10のバス配線BUS1～BUSmを介して、2枚のIC搭載用基板20のコネクタ21の同一番号のピンは互いに接続される。図1は、以上の組み立てが完了した状態を示している。

【0066】(2)バス配線BUS1～BUSmへの信

号の割り当て

試作支援装置を用いて試作するマイクロコンピュータでは、CPU51のピンとPROM52のピンをFPGA A22とバス装置10を介して接続する。ここで、CPU51やPROM52の信号をピン番号通りにコネクタ21に出したのでは、CPU51とPROM52の間は図11に示した回路図のようには接続されない。そこで、CPU51を押したIC搭載用基板20のコネクタ21と、PROM52を押したIC搭載用基板20のコネクタ21の間に番号のピンは、互いにバス装置10を介して接続されることを考慮し、CPU51とPROM52の間を図11に示した回路図の通りに接続されるように、各FPGA22内部の結線と論理をプログラムする。そのため、図12に示すように、各IC搭載用基板20のコネクタ21のピンおよびバス装置10のバス配線BUS1～BU25に、信号A0～A15, D0～D7, MEM\_RD'を割り当てる。

#### 【0067】(3) FPGAのプログラム

各IC搭載用基板20上のIC、すなわち、2つのFPGA22とCPU51とPROM52には、適宜の方法で電源を供給する。また、FPGA22のプログラム端子に結線および論理データを入れることで、2つのFPGA22のプログラムを行う。

【0068】図13および図14はCPU51としてのZ80を押したIC搭載用基板20のFPGA22のプログラムの内容を示したものである。これらの図において、バス記録、割当信号名、コネクタ番号は図12と同じものである。CPU51を押したIC搭載用基板20のFPGA22では、FPGA22の端子IOb3～IOb40, IOb1～IOb5から端子IOa1～IOa16へ、それぞれバッファ61を介して接続し、端子IOa17～IOa24と端子IOb14, IOb15, IOb12, IOb8, IOb7, IOb9, IOb10, IOb13間は、それぞれ双方向バッファ62を介して接続している。FPGA22の端子IOb21は、各双方向バッファ62の端子IOb14～IOb13側から端子IOa17～IOa24側へ信号を出力するバッファの制御端子に接続していると共に、ノットゲート63の入力端子に接続している。ノットゲート63の出力端子は、各双方向バッファ62の端子IOa17～IOa24側から端子IOb14～IOb13側へ信号を出力するバッファの制御端子に接続している。FPGA22の端子IOb21, IOb19は負論理のアンドゲート64の4つの入力端子に接続し、負論理のアンドゲート64の出力端子はFPGA22の端子IOa25に接続している。負論理のアンドゲート64は図11における負論理のアンドゲート53に対応するものである。

【0069】図15および図16はPROM52としての27256を押したIC搭載用基板20のFPGA22

2のプログラムの内容を示したものである。これらの図において、バス記録、割当信号名、コネクタ番号は図12と同じものである。PROM52を押したIC搭載用基板20のFPGA22では、FPGA22の端子IOa1～IOa15から端子IOb10～IOb3, IOb25, IOb24, IOb21, IOb23, IOb2, IOb26, IOb27へバッファ65を介して接続している。また、FPGA22内部に標準TTL(トランジスタ・トランジスタ・ロジック)のLS24 10 5に相当する双方向バスバッファ66を構成し、FPGA22の端子IOa17～IOa24を双方向バスバッファ66の入出力端子A1～A8に接続し、FPGA22の端子IOb11～IOb13, IOb15～IOb19を双方向バスバッファ66の入出力端子B1～B8に接続している。また、FPGA22の端子IOa16, IOa25をそれぞれバッファ67, 68の入力端子に接続し、バッファ67の出力端子を双方向バスバッファ66のイネーブル、ディセーブルを制御する制御端子GとFPGA22の端子IOb20に接続し、バッファ68の出力端子を双方向バスバッファ66の信号の入出力方向を切替える制御端子DIRとFPGA22の端子IOb22に接続している。

【0070】このように、CPU51を押したIC搭載用基板20のFPGA22と、PROM52を押したIC搭載用基板20のFPGA22の結線と論理を図13 20 ないし図16に示したようにプログラムすることにより、CPU51とPROM52の間を図11に示した路図の通りに接続することができる。

【0071】(4)マイクロコンピュータの動作  
適宜の方法で、CPU51のリセットを解除し、CPU51の動作をスタートさせると、CPU51は、PROM52から命令を読み込み、その命令に従って動作する。

【0072】以上説明したように本実施例によれば、任意のICをIC搭載用基板20のICソケット23に押し、IC搭載用基板20をバス装置10に押し、エディタでFPGA22のプログラムを作成し、コンパイルし、FPGA22をプログラムすることにより、ICを用いた装置を試作することができるので、短い時間でデジタル回路およびマイクロコンピュータ応用回路を試作することが可能となる。しかも、試作のためにプリント基板を新たに作成する方法や、半田付けやラッピング接続による配線を行うのに比べて短い時間で済むと共に、安価である。また、信頼性の落ちるジャンパ線での接続は少量で済み、全体をジャンパ線で接続する方式のプレッドボードによる試作に比べて信頼性が高くなる。

【0073】また、本実施例によれば、FPGA22のプログラムをエディタで修正すると、FPGA22の結線や論理を変更することができるので、回路の修正が容易である。また、FPGA22やIC搭載用基板20

は、プログラムやICを入れ換えて何度も使うことができる。

【0074】また、本実施例によれば、IC搭載用基板20が複数に別れてモジュール化され、使用時は立体構造をとるため、1枚の大きなプリント基板にFPGAやICソケットを数多く並べる方法に比べて、面積をとらず、バス配線の長さも短くして済む。

【0075】また、本実施例によれば、複数のICをバスで接続する装置の試作も可能になる。

【0076】次に、図17ないし図33を用いて、本発明の第2の実施例について説明する。本実施例は、第1の実施例に比べて、より具体的にそして、より使い易くしたものである。

【0077】図17は本発明の第2の実施例による試作支援装置の外観を示す斜視図である。本実施例におけるバス接続10は、複数、例えば4つのコネクタ11a、11a、11a、11bと、これらのコネクタ11a、11a、11a、11bを互いにバス接続するバス配線を有するバス基板12と、このバス基板12の一方の側部に垂直に取り付けられたガイド用板13と、このガイド用板13に設けられた4つのガイドレール14a、14a、14a、14bとを備えている。バス基板12の外側寄りの3つのコネクタ11aはIC搭載用基板20のコネクタ21との接続方向がバス基板12に対して垂直方向であり、バス基板12の中央側の他の1つのコネクタ11bはIC搭載用基板20のコネクタ21との接続方向がバス基板12に対して平行な方向になっている。ガイドレール14aは、IC搭載用基板20をコネクタ11aに押す際にIC搭載用基板20を案内するものであり、ガイドレール14bは、IC搭載用基板20をコネクタ11bに押す際にIC搭載用基板20を案内するものである。IC搭載用基板20をコネクタ11aに押す場合には、IC搭載用基板20をガイドレール14aに沿って、バス基板12に対して垂直方向に押す。

IC搭載用基板20をコネクタ11bに押す場合には、

IC搭載用基板20をガイドレール14bに沿って、バス基板12に対して平行な方向に押す。

【0078】図18は図17におけるIC搭載用基板20の平面図である。本実施例におけるIC搭載用基板20は、バス装置10のコネクタ11(11a、11b)を代表する。)と結合するためのコネクタ211と、内部の結線と論理を自由にプログラム可能なFPGA22と、ユーザが任意のICを押すためのICソケット231、232、233と、他のIC搭載用基板20等の他の装置との接続のための接続用コネクタ212などを備えている。IC搭載用基板20は、更に、ICソケット231に隣り合うように配置され、ジャンパ線を押すための第1の補助ソケットとしての丸ピンソケット241、242と、コネクタ212に隣り合うように配置された第2の補助ソケットとしての丸ピンソケット244

と、この丸ピンソケット244に隣り合うように配置され、丸ピンソケット244との間で互いに短絡ピンで接続するための第3の補助ソケットとしての丸ピンソケット243と、ICソケット232に隣り合うように配置され、ジャンパ線を押すための第4の補助ソケットとしての丸ピンソケット245、246と、ICソケット233に隣り合うように配置され、ジャンパ線を押すための第4の補助ソケットとしての丸ピンソケット247、248、249、2410とを備えている。IC搭載用基板20は、更に、電源に接続され、丸ピンソケットで構成された電源ソケット251と、接地され、丸ピンソケットで構成された接地ソケット252とを備えている。

【0079】図19は図18に示したIC搭載用基板20のブロック図である。コネクタ211、ICソケット231、丸ピンソケット241～243はFPGA22に接続されている。丸ピンソケット244は装置接続用コネクタ212に接続されている。丸ピンソケット245、246はICソケット232に接続されている。丸ピンソケット247、248、249、2410はICソケット233に接続されている。

【0080】図20は図19におけるコネクタ211、ICソケット231、丸ピンソケット241～243とFPGA22との接続関係を示す回路図である。コネクタ211のm本のpinはFPGA22の出入力端子I0a～I0amと配線で結ばれている。ICソケット231のpin1～nはFPGA22の出入力端子I0b1～I0bnと配線で結ばれている。また、ICソケット231のpin1～n/2は丸ピンソケット241のpin1～n/2と配線で結ばれている。丸ピンソケット243のpin1～pはFPGA22の出入力端子I0b1～I0bpと配線で結ばれている。

【0081】図21は図19におけるコネクタ211、ICソケット231、丸ピンソケット241～243、FPGA22以外の記憶を示す回路図である。コネクタ212のp本のpinは丸ピンソケット244のpin1～pと配線で結ばれている。ICソケット232のpin1～q/2は丸ピンソケット245のpin1～q/2と配線で結ばれ、ICソケット232のpinq/2+1～qは丸ピンソケット246のpin1～q/2と配線で結ばれている。ICソケット233のpin1～q/2は丸ピンソケット247、248のpin1～q/2と配線で結ばれ、ICソケット233のpinq/2+1～qは丸ピンソケット249、2410のpin1～q/2と配線で結ばれている。電源ソケット251のpin1～rは+5Vの電源に接続され、接地ソケット252のpin1～rは接地されている。

【0082】次に、マイクロコンピュータを試作する場

合を例にとり、本実施例の試作支援装置の作用について説明する。

【0083】図22および図23は本実施例の試作支援装置を用いて試作するマイクロコンピュータの構成を示す回路図である。このマイクロコンピュータは、CPU51としてZ80と、PROM52としての27256と、SRAM71としての6264と、パラレルインターフェースIC72としての8255とを備えている。CPU51のクロック入力ビットLKには水晶発振モジュール73が接続されている。CPU51のリセット入力ビンRESETにはリセット回路74が接続されている。リセット回路74は、抵抗器741とリセッタスイッチ742とダイオード743とコンデンサ744などで構成されている。抵抗器741の一端には電源電圧VCが印加され、抵抗器741の他端はリセッタスイッチ742の一端に接続され、リセッタスイッチ742の他端は接地されている。抵抗器741の両端間に、カソードが電源電圧となるようにダイオード743が接続され、リセッタスイッチ742の両端間に、正極が電源電圧側となるようにコンデンサ744が接続されている。抵抗器741とリセッタスイッチ742の接続点は、CPU51のリセット入力ビンRESETに接続されていると共に、ノットゲート75を介してパラレルインターフェースIC72のリセット入力ビンRESETに接続されている。

【0084】CPU51のピンD0～D7は、PROM52のピンD0～D7と、SRAM71のピンD0～D7と、パラレルインターフェースIC72のピンD0～D7とに接続されている。CPU51のピンA0～A14はPROM52のピンA0～A14に接続され、CPU51のピンA15はPROM52のピンCEに接続されている。CPU51のピンA0～A12はSRAM71のピンA0～A12に接続され、CPU51のピンA15はノットゲート76を介してSRAM71のピンC8に接続されている。CPU51のピンA0～A2はパラレルインターフェースIC72のピンA0、A1、CS<sub>1</sub>に接続されている。

【0085】CPU51のピンMREQ'、ピンRD'は負論理のアンドゲート77の各入力端子に接続され、負論理のアンドゲート77の出力端子(信号名MEM\_RD')はPROM52のピンOE'、SRAM71のピンOE'に接続されている。CPU51のピンMR\_EQ'、ピンWR'は負論理のアンドゲート78の各入力端子に接続され、負論理のアンドゲート78の出力端子(信号名MEM\_WR')はSRAM71のピンWE'に接続されている。CPU51のピンIORQ'、ピンRD'は負論理のアンドゲート79の各入力端子に接続され、負論理のアンドゲート79の出力端子(信号名IO\_RD')はパラレルインターフェースIC72のピンRD'に接続されている。CPU51のピンIORQ

'とピンWR'は負論理のアンドゲート80の各入力端子に接続され、負論理のアンドゲート80の出力端子(信号名IO\_WR')はパラレルインターフェースIC72のピンWR'に接続されている。

【0086】パラレルインターフェースIC72のピンPA0～PA7はポート81のピン2、4、…、14、16に接続され、ポート81のピン1、3、…、15、17は接地されている。なお、図22および図23において、CPU51、PROM52、SRAM71、パラレルインターフェースIC72の各ピンの外側に記してある数字は、IC搭載用基板20に挿す場合のICソケット231のピン番号を表し、水晶発振モジュール73のピンの外側に記してある数字はICソケット232のピン番号を表している。

【0087】以下、本実施例の試作支援装置を用いて図22および図23に示したマイクロコンピュータを試作する場合の配線および組み立て、バス配線BUS1～BUS8への信号の割り当て、FPGA22のプログラム、マイクロコンピュータの動作および調整について順に説明する。

【0088】(1) 配線および組み立てまず、4枚のIC搭載用基板20のICソケット231に、それぞれ、CPU51としてのZ80、PROM52としての27256、SRAM71としての6264、パラレルインターフェースIC72としての8255を挿す。PROM52としての27256には、適宜の方法で、CPU51としてのZ80で実行するプログラムが書き込まれているものとする。

【0089】次に、図24に示すように、CPU51を挿したIC搭載用基板20上で、CPU51の電源入力ビンに対応する丸ピンソケット241のピン(ピン番号11)と電源ソケット251のピンとをジャンパ線83を介して接続し、CPU51の接地ビンに対応する丸ピンソケット242のピン(ピン番号29)と接地ソケット252のピンとをジャンパ線83を介して接続する。次に、CPU51の周辺回路であるクロック回路およびリセット回路を作成する。すなわち、ICソケット232に水晶発振モジュール73を挿し、水晶発振モジュール73の電源入力ビンに対応する丸ピンソケット246のピン(ピン番号14)と電源ソケット251のピンとをジャンパ線83を介して接続し、水晶発振モジュール73の接地ビンに対応する丸ピンソケット245のピン(ピン番号7)と接地ソケット252のピンとをジャンパ線83を介して接続する。また、水晶発振モジュール73の出力ビンに対応する丸ピンソケット246のピン(ピン番号8)と、CPU51のピンCLKに接続された丸ピンソケット241のピン(ピン番号6)とをジャンパ線83を介して接続する。

【0090】また、ICを挿していないICソケット253の所定のピンに、リセット回路74を構成する抵抗

器741、リセットスイッチ742、ダイオード743、コンデンサ744を挿し、これらに接続された丸ビンソケット248、249のピンを図24に示すようにジャンパ線83で接続することにより、抵抗器741とダイオード743の両端、リセットスイッチ742とコンデンサ744の両端を、それぞれ接続する。また、ダイオード743とリセットスイッチ742に接続された丸ビンソケット247のピン間をジャンパ線83で接続することにより、抵抗器741およびダイオード743と、リセットスイッチ742およびコンデンサ744とを接続する。更に、抵抗器741に接続された丸ビンソケット2410のピンと電源ソケット251のピンをジャンパ線83を介して接続し、リセットスイッチ742に接続された丸ビンソケット2410のピンと接地ソケット252のピンとをジャンパ線83を介して接続する。また、抵抗器741に接続された丸ビンソケット247のピンと、CPU51のピンRESET<sup>\*</sup>に接続された丸ビンソケット242のピン(ピン番号26)とをジャンパ線83を介して接続する。

【0091】次に、図25に示すように、パラレルインターフェースIC72を挿したIC搭載用基板20上で、パラレルインターフェースIC72の出力を外部の装置に送るため、パラレルインターフェースIC72のピンPA0～PA7に接続された丸ビンソケット243のピンと、これに隣接する丸ビンソケット244のピンとを短絡ビン84を介して接続する。

【0092】次に、図17に示したように、それぞれPROM52、SRAM71、パラレルインターフェースIC72を挿した3枚のIC搭載用基板20を、ガイドレベル14aに沿って案内して、各コネクタ211をバス装置10のコネクタ11aに挿す。また、CPU51を挿した1枚のIC搭載用基板20を、ガイドレベル14bに沿って案内して、コネクタ211をバス装置10のコネクタ11bに挿す。この結果により、バス装置10のバス配線BUS1～BUSmを介して、4枚のIC搭載用基板20のコネクタ211の同一番号のピンは互いに接続される。CPU51を挿した1枚のIC搭載用基板20は水平に設置され、部品面上にあって、ジャンパ線83の抜き挿し等のデバッグや、測定器のプローブ等を回路に接続させて行う調整が行い易くなっている。また、CPU51を挿したIC搭載用基板20の隣に垂直に立っているIC搭載用基板20は、基板の半田面が見えているので、半田面からのデバッグや調整が行い易くなっている。他のIC搭載用基板20、CPU51を挿したIC搭載用基板20を入れ換れば、他のIC搭載用基板20のデバッグや調整もできる。

【0093】(2)バス配線BUS1～BUSmへの信号の割り当て  
試作支援装置を用いて試作するマイクロコンピュータでは、CPU51、PROM52、SRAM71、パラレル

インターフェースIC72の各ピンを、FPGA22とバス装置10を介して接続する。ここで、CPU51、PROM52、SRAM71、パラレルインターフェースIC72の信号をピン番号通りにIC搭載用基板20のコネクタ211に出したのでは、CPU51、PROM52、SRAM71、パラレルインターフェースIC72の間に図22および図23に示した回路図のようには接続されない。そこで、各IC搭載用基板20のコネクタ211の同一番号のピンは、互いにバス装置10を介して接続されることを考慮し、CPU51、PROM52、SRAM71、パラレルインターフェースIC72の間に図22および図23に示した回路図の通りに接続されるよう、各FPGA22内部の結合と論理をプログラムする。そのため、図26に示すように、各IC搭載用基板20のコネクタ211のピンおよびバス装置10のバス配線BUS1～BUS9に、信号A0～A15、D0～D7、MEM\_RD<sup>\*</sup>、MEMWR<sup>\*</sup>、IO\_R<sup>\*</sup>、IO\_W<sup>\*</sup>、RESETを割り当てる。

【0094】(3) FPGAのプログラム

各IC搭載用基板20上の4つのFPGA22には、適宜の方法で電源を供給する。各IC搭載用基板20上のCPU51等の他のICには、電源ソケット251に挿したジャンパ線83を通して電源が供給される。また、各FPGA22のプログラム端子に結線および論理データを入れることで、各FPGA22のプログラムを行う。

【0095】図27および図28はCPU51としてのZ80を挿したIC搭載用基板20のFPGA22のプログラムの内容を示したものである。これらの図の構成において、バス記憶、割当信号名、コネクタピン番号は図26と同じものである(図29～図33においても同様)。CPU51を挿したIC搭載用基板20のFPGA22では、FPGA22の端子IOb30～IOb40、IOb1～IOb5から端子Ioa1～Ioa16へ、それぞれバッファ61を介して接続し、端子Ioa17～Ioa24と端子Iob14、Iob15、Iob12、Iob8、Iob7、Iob9、Iob10、Iob13間は、それぞれ双方方向バッファ62を介して接続している。FPGA22の端子Iob21は、各双方方向バッファ62の端子Iob14～Iob13側から端子Ioa17～Ioa24側へ信号を出力するバッファの制御端子に接続していると共に、ノットゲート63の入力端子に接続している。ノットゲート63の出力端子は、各双方方向バッファ62の端子Ioa17～Ioa24側から端子Iob14～Iob13側へ信号を出力するバッファの制御端子に接続している。FPGA22の端子Iob19、Iob21は負論理のアンドゲート85の各入力端子に接続し、負論理のアンドゲート85の出力端子はFPGA22の端子Ioa25に接続している。FPGA22の端子Iob19、Iob22は負論

理のアンドゲート8 6の各入力端子に接続し、負論理のアンドゲート8 6の出力端子はFPGA2 2の端子IOb 2 6に接続している。FPGA2 2の端子IOb 2 0, IOb 2 1は負論理のアンドゲート8 7の各入力端子に接続し、負論理のアンドゲート8 7の出力端子はFPGA2 2の端子Ioa 2 7に接続している。FPGA2 2の端子IOb 2 0, IOb 2 2は負論理のアンドゲート8 8の各入力端子に接続し、負論理のアンドゲート8 8の出力端子はFPGA2 2の端子Ioa 2 8に接続している。負論理のアンドゲート8 5~8 8は図2 2における負論理のアンドゲート7 7~8 0に対応するものである。

【0096】図2 9および図3 0はPROM5 2としての27 25 6を押したIC搭載用基板2 0のFPGA2 2のプログラムの内容を示したものである。PROM5 2を押したIC搭載用基板2 0のFPGA2 2では、FPGA2 2の端子Ioa 1~Ioa 1 5から端子Iob 1 0~Iob 3, Iob 5, Iob 2 4, Iob 2 1, Iob 2 3, Iob 2, Iob 2 6, Iob 2 7へバッファ6 5を介して接続している。また、FPGA2 2内部に標準TTLのLS 2 4 5に相当する双方方向バスバッファ6 6を構成し、FPGA2 2の端子Ioa 1 7~Ioa 2 4を双方方向バスバッファ6 6の出入力端子A 1~A 8に接続し、FPGA2 2の端子Iob 1 1~Iob 1 3, Iob 1 5~Iob 1 9を双方方向バスバッファ6 6の出入力端子B 1~B 8に接続している。また、FPGA2 2の端子Ioa 1 6, Ioa 2 5をそれぞれバッファ6 7, 6 8の入力端子に接続し、バッファ6 7の出力端子を双方方向バスバッファ6 6の制御端子CとFPGA2 2の端子Iob 2 0に接続し、バッファ6 8の出力端子を双方方向バスバッファ6 6の制御端子D IRとFPGA2 2の端子Iob 2 2に接続している。

【0097】図3 1および図3 2はSRAM7 1としての6 2 6 4を押したIC搭載用基板2 0のFPGA2 2のプログラムの内容を示したものである。SRAM7 1を押したIC搭載用基板2 0のFPGA2 2では、FPGA2 2の端子Ioa 1~Ioa 1 3, Ioa 2 6から端子Iob 1 0~Iob 3, Iob 2 5, Iob 2 4, Iob 2 1, Iob 2 3, Iob 2 0, Iob 2 7へバッファ9 0を介して接続している。また、FPGA2 2内部に標準TTLのLS 2 4 5に相当する双方方向バスバッファ9 1を構成し、FPGA2 2の端子Ioa 1 7~Ioa 2 4を双方方向バスバッファ9 1の出入力端子A 1~A 8に接続し、FPGA2 2の端子Iob 1 1~Iob 1 3, Iob 1 5~Iob 1 9を双方方向バスバッファ9 1の出入力端子B 1~B 8に接続している。また、FPGA2 2の端子Ioa 1 6をノットゲート9 2の入力端子に接続し、ノットゲート9 2の出力端子を双方方向バスバッファ6 6の制御端子CとFPGA2 2の端子Iob 2 0に接続している。また、FPGA2 2の端子Ioa

2 5をバッファ9 3の入力端子に接続し、バッファ9 3の出力端子を双方方向バスバッファ9 1の制御端子DIRとFPGA2 2の端子Iob 2 2に接続している。

【0098】図3 3はパラレルインタフェースIC7 2としての8 2 5を押したIC搭載用基板2 0のFPGA2 2のプログラムの内容を示したものである。パラレルインタフェースIC7 2を押したIC搭載用基板2 0のFPGA2 2では、FPGA2 2の端子Ioa 1, Ioa 2, Ioa 2 8, Ioa 2 9から端子Iob 9, Iob 8, Iob 3 6, Iob 3 5へバッファ9 4を介して接続している。また、FPGA2 2内部に標準TTLのLS 2 4 5に相当する双方方向バスバッファ9 5を構成し、FPGA2 2の端子Ioa 1 7~Ioa 2 4を双方方向バスバッファ9 5の出入力端子A 1~A 8に接続し、FPGA2 2の端子Iob 3 4~Iob 2 7を双方方向バスバッファ9 5の出入力端子B 1~B 8に接続している。また、FPGA2 2の端子Ioa 3をバッファ9 6の入力端子に接続し、バッファ9 6の出力端子を双方方向バスバッファ9 5の制御端子D IRとFPGA2 2の端子Iob 6に接続している。また、FPGA2 2の端子Ioa 2 7をバッファ9 7の入力端子に接続し、バッファ9 7の出力端子を双方方向バスバッファ9 5の制御端子DIRとFPGA2 2の端子Iob 5に接続している。

【0099】このように、CPU5 1、PROM5 2、SRAM7 1、パラレルインタフェースIC7 2を押した各IC搭載用基板2 0のFPGA2 2の結線と論理を図2 7ないし図3 3に示したうえでプログラムすることにより、CPU5 1、PROM5 2、SRAM7 1、パラレルインタフェースIC7 2の間を図2 2および図2 3に示した回路図の通りに接続することができる。

【0100】(4)マイクロコンピュータの動作CPU5 1を押したIC搭載用基板2 0上のリセットスイッチ7 4 2を押して、CPU5 1の初期化と動作のスタートを行わせると、CPU5 1は、PROM5 2から命令を読み込み、その命令に従って動作し、SRAM7 1やパラレルインタフェースIC7 2にアクセスする。

【0101】以上説明したように本実施例によれば、任意のICや部品をIC搭載用基板2 0のICソケット2 3 1, 2 3 2, 2 3 3に押し、必要に応じてジャンパ線8 3で接続を行い、IC搭載用基板2 0をバス装置1 0に押し、エディタでFPGA2 2のプログラムを作成し、コンパイルし、FPGA2 2をプログラムすることにより、ICを用いた装置を試作することができる。また、IC搭載用基板2 0をバス装置1 0に押す方向に、垂直方向と水平方向があるため、IC搭載用基板2 0のデバイスや調整が言い易い。本実施例の他の構成、作用および効果は第1の実施例と同様である。

【0102】なお、本発明は上記各実施例に限定されず、例えば、以下の図3 4ないし図3 7に示すような変形が可能である。

【0103】図34は、FPGA22の入出力端子の数が、コネクタ21（またはコネクタ211）およびICソケット23（またはコネクタ231）のビン数に比べて少ない場合に、複数のFPGAを用いた例である。図34では、2つのFPGA221、222で、それぞれコネクタ21とICソケット23のビンを半分ずつ分担している。更に、2つのFPGA221、222間で、コネクタ21やICソケット23に接続していない入出力端子I0～I1～I0c～I0n同士を配線で結んでいる。これは、互いに相手が担当しているコネクタ21やICソケット23のビンに信号を送ることができるようになるためである。

【0104】図35は、FPGA22に接続されたICソケットとして、互いに異なる形状の複数（図35では2つ）のICソケット23A、23Bを設けた例である。図35では、ICソケット23Aのビン1～nはFPGA22の入出力端子I0b1～I0bnに接続され、ICソケット23Bのビン1～vはFPGA22の入出力端子I0b1～I0bvに接続されている。このように複数のICソケットを設けることにより、1種類のIC搭載用基板20で、複数の形状のICに対応することができる。ただし、ICはそのうちの1つのICソケットにしか挿すことができない。

【0105】図36では、第2の実施例におけるIC搭載用基板20のコネクタ212に接続された丸ピンソケット244の横に平行して、接続された接地ソケット253を設けたものである。コネクタ212にフラットケーブルを接続する場合、ノイズ対策のためフラットケーブルの心線を1つおきに接地する。この場合、丸ピンソケット244の横に接地ソケット253があれば、図36に示したように、短絡ビン8を丸ピンソケット244と接地ソケット253に挿すことにより、簡単に接地することができる。

【0106】また、結線と論理がプログラム可能なプログラマブルICとしては、FPGA22の代わりに、PLD（プログラマブル・ロジック・デバイス；Programmable Logic Device）を用いても良い。図37はPLDの構造の一例を示したものである。このPLDは、入力端子I01に接続された複数のノットゲートI02と、多入力アンドゲートI03と、出力端子が出力端子I05に接続された多入力オアゲートI04を、この順で、配線が交差するように配列して構成したものである。そして、配線の交差点を任意に接続することにより、入出力数の許す限りどのような多式法からなる組み合せ回路でも構成することができるようになっている。配線の交差点のオン、オフの情報は、PLDの内部に設けられたヒューズやROMあるいはSRAM等によって保持される。外部からこの内容を設定することにより、PLDの機能をプログラムすることができる。また、結線と論理がプログラム可能なプログラマブルICとしては、PL

10

20

30

40

50

Dを論理ブロックとしてチップ内に複数配置し、FPGAと同様に、クロスポイントスイッチ等でこれらの接続をプログラム可能にした複合PLDを用いても良い。

#### 【0107】

【発明の効果】請求項1ないし12のいずれか1に記載の試作支援装置によれば、互いにバス接続された複数のバス接続用コネクタを有するバス装置と、このバス装置に接続されるIC搭載用基板とを設け、IC搭載用基板には、バス接続用コネクタと結合するためのバス装置接続用コネクタと、ICを押すためのICソケットと、一部の入出力端子がICソケットの全ての端子にそれぞれ接続され、他の入出力端子がバス装置接続用コネクタの端子に接続された、結線と論理がプログラム可能なプログラマブルICとを設けたので、IC搭載用基板のICソケットに任意のICを押し、IC搭載用基板をバス装置に接続し、プログラマブルICの結線と論理をプログラムすることによって、短い時間で安価に、デジタルICを用いた装置を試作でき、修正が容易で、信頼性が高く、しかも複数のICをバスで接続する装置の試作も可能になるという効果がある。

【0108】請求項2記載の試作支援装置によれば、請求項1記載の試作支援装置において、IC搭載用基板に、ICソケットの端子に接続された端子を含む補助ソケットと、電源ソケットと、接地ソケットとを設けたので、請求項1記載の試作支援装置の効果に加え、補助ソケットと電源ソケットおよび接地ソケットとを接続することによって、ICソケットに挿したICに電源を与えることが可能になるという効果がある。

【0109】請求項3記載の試作支援装置によれば、請求項1記載の試作支援装置において、IC搭載用基板に、ICソケットの端子に接続された端子を含む第1の補助ソケットと、電源ソケットと、接地ソケットと、装置接続用コネクタと、装置接続用コネクタの端子に接続された端子を含む第2の補助ソケットと、第2の補助ソケットに隣り合うように配置され、ICソケットの端子に接続された端子を含む第3の補助ソケットとを設けたので、請求項1記載の試作支援装置の効果に加え、装置接続用コネクタに他の装置を接続し、第2の補助ソケットと第3の補助ソケットとを接続することにより、ICソケットに挿したICと他の装置との接続が可能になるという効果がある。

【0110】請求項4記載の試作支援装置によれば、請求項1ないし3のいずれか1に記載の試作支援装置において、IC搭載用基板に、ICソケットと異なる形状の第2のICソケットを設けたので、請求項1ないし3のいずれか1に記載の試作支援装置の効果に加え、複数の形状のICに対応可能になるという効果がある。

【0111】請求項5記載の試作支援装置によれば、IC搭載用基板に、第1のICソケットと第2のICソケットとを設けたので、請求項1記載の試作支援装置の効

果に加え、複数のICを用いた任意の装置を試作することができるという効果がある。また、第1の補助ソケットおよび第4の補助ソケットと電源ソケットおよび接地ソケットを接続することによって、第1のICソケットに挿したICと第2のICソケットに挿したICとに電源を与えることが可能になるという効果がある。また、装置接続用コネクタに他の装置を接続し、第3の補助ソケットあるいは第4の補助ソケットと第2の補助ソケットとを接続することにより、第1のICソケットに挿したICあるいは第2のICソケットに挿したICとの他の装置との接続が可能になるという効果がある。

【0112】請求項6記載の試作支援装置によれば、請求項5記載の試作支援装置において、IC搭載用基板に、第1のICソケットと異なる形状の第3のICソケットを設けたので、請求項5記載の試作支援装置の効果に加え、複数の形状のICに対応可能になるという効果がある。

【0113】請求項7記載の試作支援装置によれば、請求項3ないし6のいずれか1に記載の試作支援装置において、IC搭載用基板に、第2の補助ソケットに隣り合うように配置された第2の接地ソケットを設けたので、請求項3ないし6のいずれか1に記載の試作支援装置の効果に加え、第2の補助ソケットと第2の接地ソケットとを接続することによって、ノイズ対策のための接地が可能になるという効果がある。

【0114】請求項8記載の試作支援装置によれば、請求項1ないし7のいずれか1に記載の試作支援装置において、複数のプログラマブルICによってバス装置接続用コネクタやICソケットへの接続を分担するようにしたので、請求項1ないし7のいずれか1に記載の試作支援装置の効果に加え、1つのプログラマブルICの出入力端子の数がバス装置接続用コネクタやICソケットの端子に比べて少ない場合に、複数のプログラマブルICで、バス装置接続用コネクタやICソケットへの接続を分担することが可能になるという効果がある。

【0115】請求項1記載の試作支援装置によれば、請求項1ないし10のいずれか1に記載の試作支援装置において、バス装置の複数のバス接続用コネクタのうち、少なくとも一つのバス接続用コネクタを、その接続方向が他のバス接続用コネクタの接続方向に対して直角方向になるように配線したので、請求項1ないし10のいずれか1に記載の試作支援装置の効果に加え、バス装置の複数のバス接続用コネクタに接続する複数のIC搭載用基板のうちの少なくとも一つを他のIC搭載用基板に対して直角方向に配置することができるとなり、デバイグや調整が容易になるという効果がある。

【0116】請求項1記載の試作支援装置によれば、請求項1記載の試作支援装置において、バス装置に、各バス接続用コネクタの接続方向に合わせた1C搭載用基板案内用のガイドレールを設けたので、請求項1記

載の試作支援装置の効果に加え、IC搭載用基板をガイドレールに沿って案内して、バス装置のバス接続用コネクタに接続することができ、バス装置に対するIC搭載用基板の接続が容易になるという効果がある。

【0117】また、請求項13ないし22の記載のIC搭載用基板によれば、それぞれ、請求項1ないし10記載の試作支援装置と同様の効果がある。

【0118】また、請求項23または24記載のバス装置によれば、それぞれ、請求項11または12記載の試作支援装置と同様の効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る試作支援装置の外観を示す斜視図である。

【図2】図1におけるIC搭載用基板の平面図である。

【図3】図1に示した試作支援装置のプロック図である。

【図4】図1におけるバス装置の回路図である。

【図5】図1におけるIC搭載用基板の回路図である。

【図6】図1におけるFPGAの構造の一例を示すプロック図である。

【図7】図6における論理ブロックの構成の一例を示すプロック図である。

【図8】図6におけるクロスポイントスイッチの構成の一例を示すプロック図である。

【図9】図6におけるスイッチマトリックスの構成の一例を示すプロック図である。

【図10】図5に示したFPGAの結論と論理のプログラムの一例を示す説明図である。

【図11】本発明の第1の実施例に係る試作支援装置を用いて試作するマイクロコンピュータの構成を示す回路図である。

【図12】図1における各IC搭載用基板のコネクタのピンおよびバス装置のバス配線への信号の割り当てを示す説明図である。

【図13】図1においてCPUを挿したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図14】図1においてCPUを挿したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図15】図1においてPROMを挿したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図16】図1においてPROMを挿したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図17】本発明の第2の実施例に係る試作支援装置の外観を示す斜視図である。

【図18】図17におけるIC搭載用基板の平面図である。

【図19】図18に示したIC搭載用基板のプロック図である。

【図20】図19におけるコネクタ、ICソケット、丸ピンソケットとFPGAとの接続関係を示す回路図であ

る。

【図21】図19における図20以外の部分の配線を示す回路図である。

【図22】本発明の第2の実施例に係る試作支援装置を用いて試作するマイクロコンピュータの構成を示す回路図である。

【図23】本発明の第2の実施例に係る試作支援装置を用いて試作するマイクロコンピュータの構成を示す回路図である。

【図24】図18に示したIC搭載用基板における配線の一例を示す説明図である。

【図25】図18に示したIC搭載用基板における配線の一例を示す説明図である。

【図26】図17における各IC搭載用基板のコネクタのピンおよびバス装置のバス配線への信号の割り当てを示す説明図である。

【図27】図17においてCPUを押したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図28】図17においてCPUを押したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図29】図17においてPROMを押したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図30】図17においてPROMを押したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図31】図17においてSRAMを押したIC搭載用\*

\*基板のFPGAのプログラムの内容を示す説明図である。

【図32】図17においてSRAMを押したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図33】図17においてパラレルインタフェースICを押したIC搭載用基板のFPGAのプログラムの内容を示す説明図である。

【図34】本発明の実施例における第1の変形例に係るIC搭載用基板の一部を示す回路図である。

【図35】本発明の実施例における第2の変形例に係るIC搭載用基板の一部を示す回路図である。

【図36】本発明の実施例における第3の変形例に係る丸ピンソケットと接地ソケットを示す説明図である。

【図37】本発明の実施例における第4の変形例に係るPLDの構造を示す回路図である。

#### 【符号の説明】

10 バス装置

11 コネクタ

12 バス基板

20 IC搭載用基板

21 コネクタ

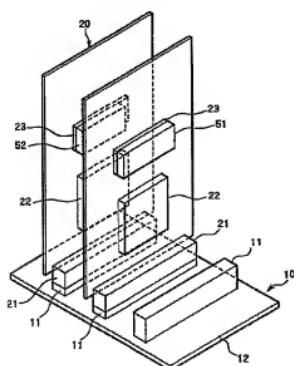
22 FPGA

23 ICソケット

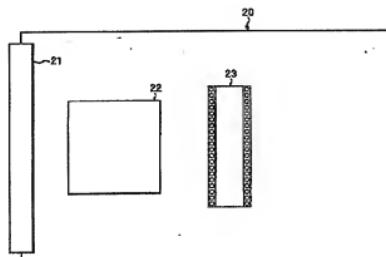
51 CPU

52 PROM.

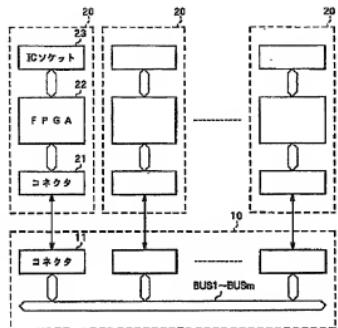
【図1】



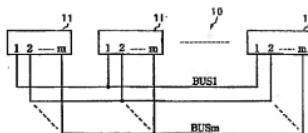
【図2】



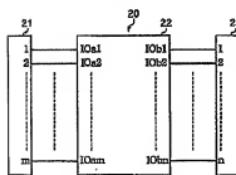
【図3】



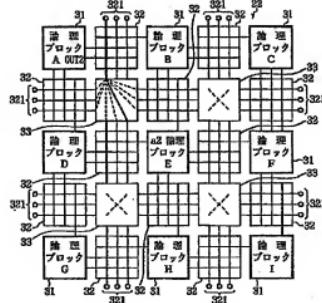
【図4】



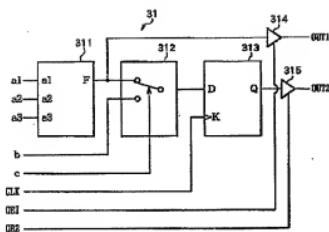
【図5】



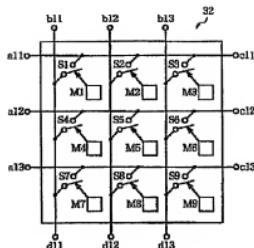
【図6】



【図7】



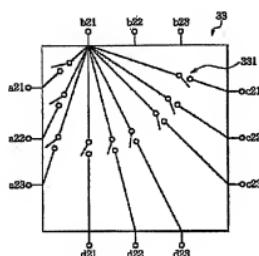
【図8】



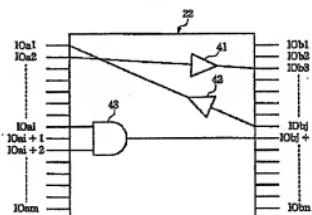
【図15】



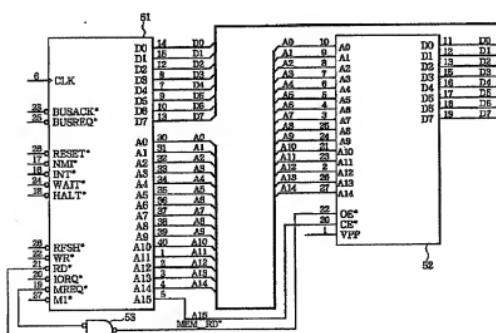
【図9】



【図10】



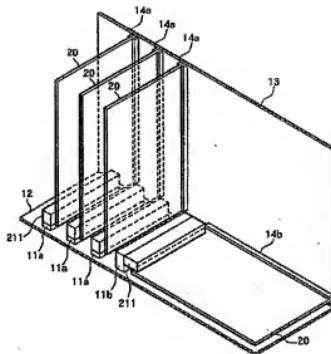
【図11】



【図12】

バス配線	割当信号名	コネクタピン番号
BUS1	A0	1
BUS2	A1	2
BUS3	A2	3
BUS4	A3	4
BUS5	A4	5
BUS6	A5	6
BUS7	A6	7
BUS8	A7	8
BUS9	A8	9
BUS10	A9	10
BUS11	A10	11
BUS12	A11	12
BUS13	A12	13
BUS14	A13	14
BUS15	A14	15
BUS16	A15	16
BUS17	D0	17
BUS18	D1	18
BUS19	D2	19
BUS20	D3	20
BUS21	D4	21
BUS22	D5	22
BUS23	D6	23
BUS24	D7	24
BUS25	MEM_RD*	25

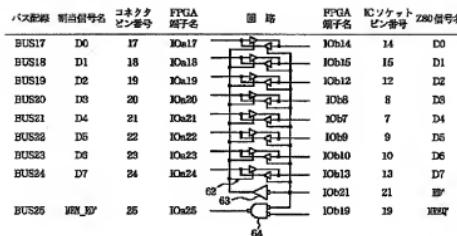
【図17】



【図13】

バス配線	割当信号名	コネクタ ピン番号	FPGA 端子名	回路	FPGA 端子名	ICソケット ピン番号	Z80信号名
BUS1	A0	1	I0s1		I0s30	30	A0
BUS2	A1	2	I0s2		I0s31	31	A1
BUS3	A2	3	I0s3		I0s32	32	A2
BUS4	A3	4	I0s4		I0s33	33	A3
BUS5	A4	5	I0s5		I0s34	34	A4
BUS6	A5	6	I0s6		I0s35	35	A5
BUS7	A6	7	I0s7		I0s36	36	A6
BUS8	A7	8	I0s8		I0s37	37	A7
BUS9	A8	9	I0s9		I0s38	38	A8
BUS10	A9	10	I0s10		I0s39	39	A9
BUS11	A10	11	I0s11		I0s40	40	A10
BUS12	A11	12	I0s12		I0s1	1	A11
BUS13	A12	13	I0s13		I0s2	2	A12
BUS14	A13	14	I0s14		I0s3	3	A13
BUS15	A14	15	I0s15		I0s4	4	A14
BUS16	A15	16	I0s16		I0s5	5	A15

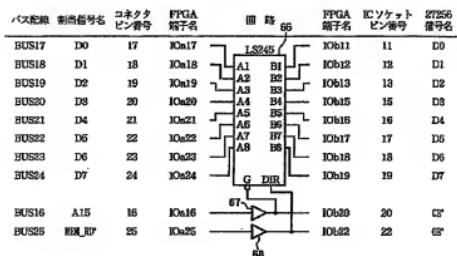
【図14】



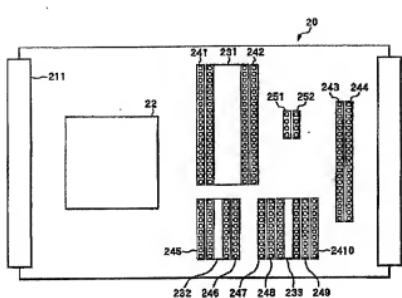
【図15】

バス配線	割当信号名	コネクタ ピン番号	FPGA 端子名	回路	FPGA	ICソケット 端子名	Z7256 信号名
BUS1	A0	1	I0a1		I0b10	10	A0
BUS2	A1	2	I0a2		I0b9	9	A1
BUS3	A2	3	I0a3		I0b8	8	A2
BUS4	A3	4	I0a4		I0b7	7	A3
BUS5	A4	5	I0a5		I0b6	6	A4
BUS6	A5	6	I0a6		I0b5	5	A5
BUS7	A6	7	I0a7		I0b4	4	A6
BUS8	A7	8	I0a8		I0b3	3	A7
BUS9	A8	9	I0a9		I0b25	25	A8
BUS10	A9	10	I0a10		I0b24	24	A9
BUS11	A10	11	I0a11		I0b21	21	A10
BUS12	A11	12	I0a12		I0b23	23	A11
BUS13	A12	13	I0a13		I0b2	2	A12
BUS14	A13	14	I0a14		I0b26	26	A13
BUS15	A14	15	I0a15		I0b27	27	A14

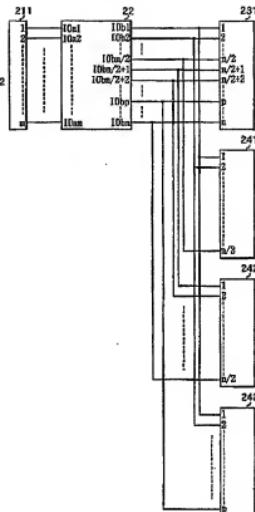
【図16】



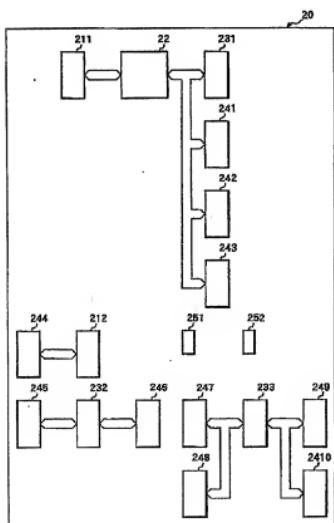
【图18】



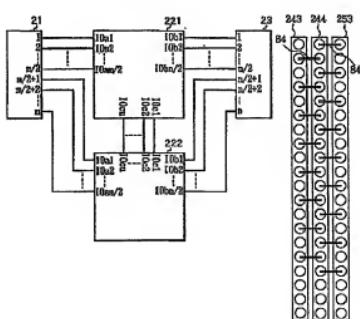
【圖20】



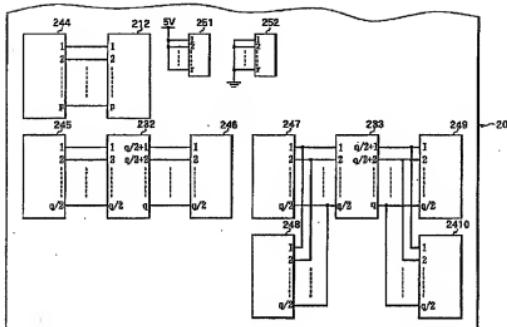
[図19]



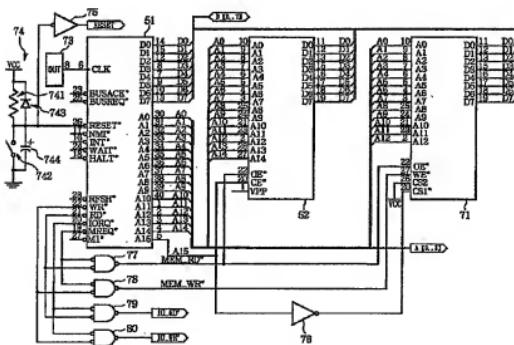
[34]



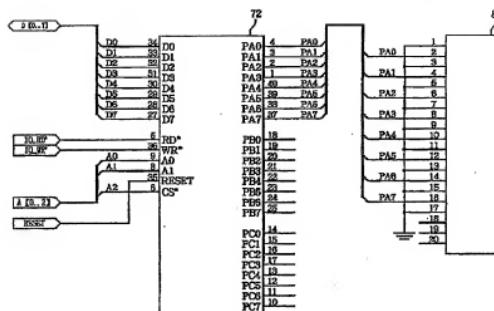
【图21】



[图22]



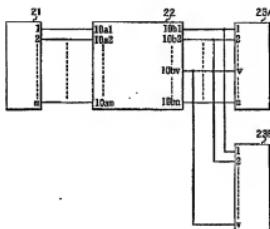
【図23】



【図26】

バス配線	割当信号名	コネクタピン番号
BUS1	A0	1
BUS2	A1	2
BUS3	A2	3
BUS4	A3	4
BUS5	A4	5
BUS6	A5	6
BUS7	A6	7
BUS8	A7	8
BUS9	A8	9
BUS10	A9	10
BUS11	A10	11
BUS12	A11	12
BUS13	A12	13
BUS14	A13	14
BUS15	A14	15
BUS16	A15	16
BUS17	D0	17
BUS18	D1	18
BUS19	D2	19
BUS20	D3	20
BUS21	D4	21
BUS22	D5	22
BUS23	D6	23
BUS24	D7	24
BUS25	MEM_RD*	25
BUS26	MEM_WR*	26
BUS27	ID_RD*	27
BUS28	ID_WR*	28
BUS29	RESET	29

【図35】



【図27】

バス配線	割当信号名	コネクタ ピン番号	FPGA 端子名	回路	FPGA 端子名	IC ソケット ピン番号	Z80信号名
BUS1	A0	1	IOa1		IOa30	30	A0
BUS2	A1	2	IOa2		IOa51	31	A1
BUS3	A2	3	IOa3		IOa52	32	A2
BUS4	A3	4	IOa4		IOa53	33	A3
BUS5	A4	5	IOa5		IOa84	34	A4
BUS6	A5	6	IOa6		IOa55	35	A5
BUS7	A6	7	IOa7		IOa56	36	A6
BUS8	A7	8	IOa8		IOa57	37	A7
BUS9	A8	9	IOa9		IOa58	38	A8
BUS10	A9	10	IOa10		IOa59	39	A9
BUS11	A10	11	IOa11		IOa60	40	A10
BUS12	A11	12	IOa12		IOb1	1	A11
BUS13	A12	13	IOa13		IOb2	2	A12
BUS14	A13	14	IOa14		IOb3	3	A13
BUS15	A14	15	IOa15		IOb4	4	A14
BUS16	A15	16	IOa16		IOb5	5	A15

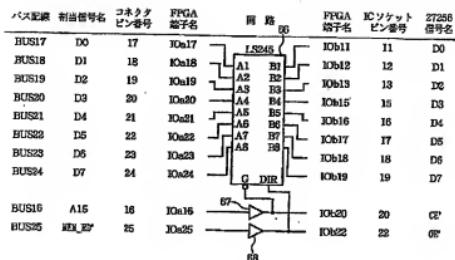
【図28】

バス配線	担当信号名	コネクタ ピン番号	FPGA 端子名	回路	FPGA 端子名	ICソケット ピン番号	Z80信号名
BUS17	D0	17	I0a17		I0b14	14	D0
BUS18	D1	18	I0a18		I0b15	15	D1
BUS19	D2	19	I0a19		I0b13	12	D2
BUS20	D3	20	I0a20		I0b6	6	D3
BUS21	D4	21	I0a21		I0b7	7	D4
BUS22	D5	22	I0a22		I0b9	9	D5
BUS23	D6	23	I0a23		I0b10	10	D6
BUS24	D7	24	I0a24		I0b13	13	D7
					I0b21	21	
BUS25	M0_H#	25	I0a25		I0b19	19	H#
BUS26	M0_W#	26	I0a26		I0b20	20	W#
BUS27	I0_H#	27	I0a27		I0b21	21	H#
BUS28	I0_W#	28	I0a28		I0b22	22	W#
BUS29	RS87	29	I0a29		I0b26	26	XSSRT

【図29】

バス配線	担当信号名	コネクタ ピン番号	FPGA 端子名	回路	FPGA 端子名	ICソケット ピン番号	Z7256 信号名
BUS1	A0	1	I0a1		I0b10	10	A0
BUS2	A1	2	I0a2		I0b9	9	A1
BUS3	A2	3	I0a3		I0b8	8	A2
BUS4	A3	4	I0a4		I0b7	7	A3
BUS5	A4	5	I0a5		I0b6	6	A4
BUS6	A5	6	I0a6		I0b5	5	A5
BUS7	A6	7	I0a7		I0b4	4	A6
BUS8	A7	8	I0a8		I0b3	3	A7
BUS9	A8	9	I0a9		I0b25	25	A8
BUS10	A9	10	I0a10		I0b24	24	A9
BUS11	A10	11	I0a11		I0b21	21	A10
BUS12	A11	12	I0a12		I0b23	23	A11
BUS13	A12	13	I0a13		I0b2	2	A12
BUS14	A13	14	I0a14		I0b26	26	A13
BUS15	A14	15	I0a15		I0b27	27	A14

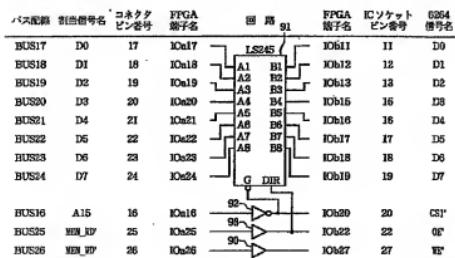
【図30】



【図31】

バス配線	割当信号名	コネクタ ピン番号	FPGA 端子名	回路	バス配線	割当信号名	ICソケット ピン番号	ZT256 信号名
BUS1	A0	1	IOa1				10	A0
BUS2	A1	2	IOa2				9	A1
BUS3	A2	3	IOa3				8	A2
BUS4	A3	4	IOa4				7	A3
BUS5	A4	5	IOa5				6	A4
BUS6	A5	6	IOa6				5	A5
BUS7	A6	7	IOa7				4	A6
BUS8	A7	8	IOa8				3	A7
BUS9	A8	9	IOa9				25	A8
BUS10	A9	10	IOa10				24	A9
BUS11	A10	11	IOa11				21	A10
BUS12	A11	12	IOa12				23	A11
BUS13	A12	13	IOa13				2	A12

【図32】



【図33】

